

DERWENT-ACC-NO: 2004-157870

DERWENT-WEEK: 200416

COPYRIGHT 2005 DERWENT INFORMATION LTD

TITLE: Production of a floating gate structure comprises applying a first dielectric layer on semiconductor material, applying a first polysilicon layer, applying a second dielectric layer and applying a second polysilicon layer

INVENTOR: GEISSLER, C; HAGEMEYER, P ; LANGHEINRICH, W

PATENT-ASSIGNEE: INFINEON TECHNOLOGIES AG[INFN]

PRIORITY-DATA: 2002DE-1029066 (June 28, 2002)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	PAGES	MAIN-
IPC				
DE 10229066 A1	January 29, 2004	N/A	005	H01L
021/8247				

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO	APPL-DATE
DE 10229066A1	N/A	2002DE-1029066	June 28, 2002

INT-CL (IPC): H01L021/8247

ABSTRACTED-PUB-NO: DE 10229066A

BASIC-ABSTRACT:

NOVELTY - Production of a floating gate structure comprises:

(a) applying a first dielectric layer (3) on semiconductor material;

(b) applying a first polysilicon layer (4) for a first floating gate electrode on the first dielectric layer;

(c) applying a second dielectric layer (11) as intermediate dielectric on the first polysilicon layer; and

(d) applying a second polysilicon layer (12) as control gate electrode on the second dielectric layer.

An amount of a surface of the first polysilicon layer is provided with a protrusion before applying the second dielectric layer, whilst a spacer mask is used to back etch a polysilicon layer locally to a prescribed thickness of the first polysilicon layer.

USE - Non-volatile semiconductor memories.

ADVANTAGE - A large capacity between the control gate electrode and the floating gate electrode is achieved.

DESCRIPTION OF DRAWING(S) - The drawing shows a cross-section through the floating gate structure.

First dielectric layer 3

First polysilicon layer 4

Trench 5

Mask layer 6

Masking spacers 7

Second dielectric layer 11

Second polysilicon layer 12

CHOSEN-DRAWING: Dwg.5/5

**TITLE-TERMS: PRODUCE FLOAT GATE STRUCTURE COMPRISE APPLY
FIRST DIELECTRIC LAYER**

**SEMICONDUCTOR MATERIAL APPLY FIRST LAYER APPLY SECOND
DIELECTRIC
LAYER APPLY SECOND LAYER**

DERWENT-CLASS: L03 U11 U12 U14

CPI-CODES: L03-G04A; L04-C10B; L04-C12C;

EPI-CODES: U11-C05F1; U11-C18B5; U12-D02A1; U14-A03B7;

SECONDARY-ACC-NO:

CPI Secondary Accession Numbers: C2004-063050

Non-CPI Secondary Accession Numbers: N2004-126091



(19)
Bundesrepublik Deutschland
Deutsches Patent- und Markenamt

(10) **DE 102 29 066 A1** 2004.01.29

(12)

Offenlegungsschrift

(21) Aktenzeichen: **102 29 066.0**
(22) Anmeldetag: **28.06.2002**
(43) Offenlegungstag: **29.01.2004**

(51) Int Cl.⁷: **H01L 21/8247**

(71) Anmelder:
Infineon Technologies AG, 81669 München, DE

(74) Vertreter:
Epping Hermann Fischer,
Patentanwalts-gesellschaft mbH, 80339 München

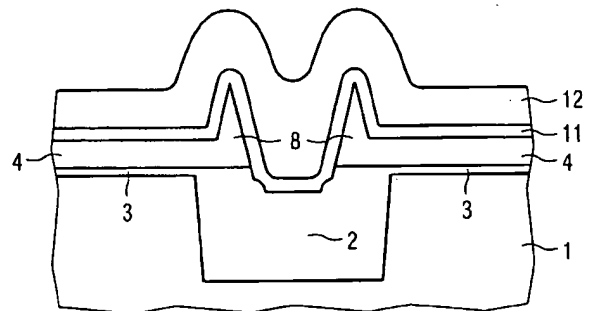
(72) Erfinder:
Hagemeyer, Peter, 01097 Dresden, DE;
Langheinrich, Wolfram, Dr., 01324 Dresden, DE;
Geissler, Christian, 01097 Dresden, DE

Prüfungsantrag gemäß § 44 PatG ist gestellt.

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

(54) Bezeichnung: **Verfahren zur Herstellung einer Floating-Gate-Struktur für nichtflüchtige Halbleiterspeicher**

(57) Zusammenfassung: Über einem STI-Bereich (2) wird in einer ganzflächig aufgetragenen ersten Polysiliziumschicht (4) ein Graben geätzt, dessen Flanken mit Nitridspacern als Maske bedeckt werden. Die Polysiliziumschicht wird rückgeätzt, so dass nur seitlich des Grabens Wälle (8) aus Polysilizium stehen bleiben. Eine Dielektrikumschicht (11) und eine zweite Polysiliziumschicht (12) als Control-Gate-Elektrode werden ganzflächig aufgebracht. Durch die Wälle (8) wird die Kapazität zwischen der als Floating-Gate-Elektroden vorgesehenen ersten Polysiliziumschicht (4) und der zweiten Polysiliziumschicht (12) erhöht.



Beschreibung

[0001] Die vorliegende Erfindung betrifft ein Verfahren zur Oberflächenvergrößerung einer Floating-Gate-Struktur bei nichtflüchtigen Halbleiterspeichern.

[0002] Bei Halbleiterspeichern mit Flash-Speicherzellen sind in jeder Speicherzelle eine nicht auf definiertes elektrisches Potential gelegte Floating-Gate-Elektrode und eine elektrisch angeschlossene Control-Gate-Elektrode vorhanden. Die Floating-Gate-Elektrode ist sowohl zu dem darunter vorhandenen Halbleitermaterial als auch zu der darüber angeordneten Control-Gate-Elektrode durch dielektrische Schichten elektrisch isoliert. Für die angestrebte Funktionalität muss zwischen der Control-Gate-Elektrode und der Floating-Gate-Elektrode eine gewisse Mindestkapazität vorhanden sein, um eine ausreichend große Kopplung zu gewährleisten. Eine weitere Miniaturisierung derartiger Halbleiterspeicher stößt an eine Grenze, wenn das Problem auftritt, dass die Kapazität zwischen der Control-Gate-Elektrode und der Floating-Gate-Elektrode den geforderten Mindestwert nicht aufweisen kann, weil die zur Verfügung stehende Fläche zu gering ist. Als Zwischendielektrikum wird bisher üblicherweise eine Oxid-Nitrid-Oxid-Schichtfolge eingesetzt. Der Ersatz einer solchen ONO-Schicht durch dielektrisches Material einer größeren relativen Dielektrizitätszahl ist technologisch schwierig, da eine ausreichende Prozesskompatibilität gewährleistet sein muss. Eine Flächenvergrößerung würde beim aktuellen Stand der Technik die erforderliche Chipfläche deutlich vergrößern und eine aufwendige Maskentechnik erfordern.

[0003] Aufgabe der vorliegenden Erfindung ist es, anzugeben, wie ein Flash-Halbleiterspeicher mit Floating-Gate-Elektrode so hergestellt werden kann, dass trotz einer Verkleinerung der Abmessungen eine ausreichend große Kapazität zwischen der Control-Gate-Elektrode und der Floating-Gate-Elektrode erreicht werden kann.

[0004] Diese Aufgabe wird mit dem Verfahren zur Herstellung einer Floating-Gate-Struktur für nichtflüchtige Halbleiterspeicher mit den Merkmalen des Anspruchs 1 gelöst. Ausgestaltungen ergeben sich aus den abhängigen Ansprüchen.

[0005] Bei dem Verfahren wird ein Anteil der Oberfläche der für die Floating-Gate-Elektrode vorgesehenen ersten Polysiliziumschicht vor dem Aufbringen des Zwischendielektrikums mit einer diese Oberfläche vergrößernden Erhebung versehen, indem unter Verwendung einer Spacer-Maske eine zunächst dicker aufgetragene Polysiliziumschicht lokal unterschiedlich weit auf die vorgesehene Dicke der ersten Polysiliziumschicht rückgeätzt wird. Diese Erhebung kann insbesondere durch einen Wulst an den Flanken eines in die erste Polysiliziumschicht geätzten Grabens gebildet werden. Als Zwischendielektrikum kann eine ONO-Schicht aufgebracht werden, auf die

die für die Control-Gate-Elektrode vorgesehene zweite Polysiliziumschicht aufgebracht wird. Die übrigen Verfahrensschritte entsprechen der Herstellung herkömmlicher Flash-Speicherzellen und sind an sich bekannt.

[0006] Es folgt eine genauere Beschreibung eines Beispiels des Verfahrens anhand der Fig. 1 bis 5, in denen jeweils ein Zwischenprodukt des Verfahrens im Querschnitt dargestellt ist.

[0007] In der Fig. 1 ist im Querschnitt ein Substrat 1 aus Halbleitermaterial dargestellt, in dem ein STI-Bereich 2 (Shallow Trench Isolation) hergestellt ist. Dieser STI-Bereich 2 ist daher elektrisch isolierendes Material. Auf der Oberseite des Halbleitermaterials wird durch thermische Oxidation eine dünne Oxidschicht hergestellt, die die erste Dielektrikumschicht 3 bildet (Gate-Oxid). Darauf wird die erste Polysiliziumschicht 4 aufgebracht, die für die Floating-Gate-Elektrode vorgesehen ist. Über dem STI-Bereich 2 wird in die erste Polysiliziumschicht 4 ein Graben 5 geätzt, der die Polysiliziumschicht 4 vollständig durchtrennt und vorzugsweise bis in den STI-Bereich 2 hinein reicht.

[0008] Ausgehend von der so erreichten Struktur wird, wie in der Fig. 2 dargestellt, auf die Oberseite ganzflächig eine Maskenschicht 6 aufgebracht, die vorzugsweise Nitrid ist. Durch isotropes Abscheiden dieser Maskenschicht 6 wird die Schicht überall in etwa gleichmäßiger Dicke aufgebracht. Durch anisotropes Rückätzen können die in der Fig. 2 mit gestrichelten Berandungen angedeuteten Maskierungsspaces 7 in an sich bekannter Weise hergestellt werden. Diese Maskierungsspaces 7 an den Flanken des Grabens 5 sind dafür vorgesehen, in dem nachfolgenden Ätzschritt die Flanken des Grabens 5 gegen den Ätzangriff zu schützen.

[0009] In der Fig. 3 ist im Querschnitt die Struktur der Maskierungsspaces 7 an den Flanken des Grabens 5 eingezeichnet. Die erste Polysiliziumschicht 4 wird dann auf die vorgesehene Dicke rückgeätzt, so dass seitlich der Maskierungsspaces 7 die eingezeichneten Wälle 8 stehen bleiben. Diese Wälle 8 besitzen eine sich nach oben hin verjüngende keilförmige Struktur. Die Schräge der beiden Flanken der Wälle 8 wird beim Ätzprozess durch die Wahl der Richtung des Ätzangriffs unter Berücksichtigung der Eigenschaften des Polysiliziums in an sich bekannter Weise erzeugt. Die Maskierungsspaces 7 werden dann entfernt.

[0010] In der Fig. 4 ist im Querschnitt dargestellt, dass vorzugsweise in einem nächsten Verfahrensschritt durch RTP-Oxidation eine dünne Oxidschicht 9 auf der Oberfläche der ersten Polysiliziumschicht 4 hergestellt wird. Diese dünne Oxidschicht wird anschließend nasschemisch weggeätzt, so dass die Grate 10, die die oberen Kanten der Wälle 8 bilden, abgerundet werden.

[0011] Anschließend wird gemäß der Fig. 5 auf die Oberseite der ersten Polysiliziumschicht 4 das Material des Zwischendielektrikums aufgebracht. Diese

zweite Dielektrikumschicht 11 ist vorzugsweise eine ONO-Schicht (Oxid-Nitrid-Oxid-Schicht). Auf die zweite Dielektrikumschicht 11 wird wieder ganzflächig die zweite Polysiliziumschicht 12 aufgebracht, die für die Control-Gate-Elektrode vorgesehen ist.

[0012] Bei diesem Ausführungsbeispiel des Verfahrens erhält man auf Grund des vorhandenen STI-Bereiches 2 durch die erste Polysiliziumschicht 4 vollständig durchtrennende Grabenätzung eine vollständige elektrische Isolation der beiden in der Fig. 5 dargestellten verbleibenden Anteile der ersten Polysiliziumschicht 4. Diese Anteile bilden daher (in der Fig. 5 links und rechts eingezeichnet) jeweilige Floating-Gate-Elektroden, die zum Halbleitermaterial des Substrats 1 hin durch die erste Dielektrikumschicht 3 und zur Control-Gate-Elektrode der zweiten Polysiliziumschicht 12 hin durch die zweite Dielektrikumschicht 11 elektrisch isoliert sind. Eine hinreichend große Kapazität zwischen der Floating-Gate-Elektrode und der Control-Gate-Elektrode ergibt sich durch die Oberflächenvergrößerung, die mit der Herstellung der Wälle 8 erreicht wird.

[0013] Seitlich angrenzend an eine jeweilige Transistorstruktur einer jeweiligen nach diesem Verfahren hergestellten Speicherzelle befindet sich daher eine Kondensatorstruktur einer ausreichend hohen Kapazität. Mit dem angegebenen Herstellungsverfahren ergibt sich außerdem auf einfache Weise eine elektrische Isolation zwischen den einzelnen Speicherzellen. Vorteile dieses Verfahrens sind insbesondere die einfache Prozessführung ohne zusätzliche Maske und ohne Veränderung herkömmlicher Masken; auf die Verwendung spezieller dielektrischer Materialien kann verzichtet werden.

Patentansprüche

1. Verfahren zur Herstellung einer Floating-Gate-Struktur für nichtflüchtige Halbleiterspeicher, bei dem
eine erste Dielektrikumschicht (3) auf Halbleitermaterial aufgebracht wird,
eine für eine Floating-Gate-Elektrode vorgesehene erste Polysiliziumschicht (4) auf die erste Dielektrikumschicht (3) aufgebracht wird,
eine als Zwischendielektrikum vorgesehene zweite Dielektrikumschicht (11) auf die erste Polysiliziumschicht (4) aufgebracht wird und
eine als Control-Gate-Elektrode vorgesehene zweite Polysiliziumschicht (12) auf die zweite Dielektrikumschicht (11) aufgebracht wird, **dadurch gekennzeichnet**, dass ein Anteil einer Oberfläche der ersten Polysiliziumschicht (4) vor dem Aufbringen der zweiten Dielektrikumschicht (11) mit einer diese Oberfläche vergrößernden Erhebung versehen wird, indem unter Verwendung einer Spacer-Maske eine zunächst dicker aufgetragene Polysiliziumschicht lokal unterschiedlich weit auf die vorgesehene Dicke der ersten Polysiliziumschicht rückgeätzt wird.

2. Verfahren nach Anspruch 1, bei dem in die zunächst dicker aufgetragene Polysiliziumschicht, die als erste Polysiliziumschicht (4) vorgesehen ist, ein Graben (5) mit schrägen Flanken geätzt wird,

an den Flanken dieses Grabens durch isotropes Aufbringen einer Maskenschicht (6) und anisotropes Rückätzen dieser Maskenschicht (6) Maskierungsspacers (7) ausgebildet werden, die die Flanken des Grabens abdecken, und

unter Verwendung der Maskierungsspacers (7) als Maske das Polysilizium auf die vorgesehene Dicke der ersten Polysiliziumschicht (4) rückgeätzt wird, wobei seitlich zu den Maskierungsspacern (7) Wälle (8) als die Oberfläche der ersten Polysiliziumschicht (4) vergrößernde Erhebung gebildet werden.

3. Verfahren nach Anspruch 2, bei dem obere Grate (10) der hergestellten Wälle (8) aus Polysilizium vor dem Aufbringen der zweiten Dielektrikumschicht (11) verrundet werden, indem das Polysilizium oberflächlich oxidiert wird und das Oxid anschließend weggeätzt wird.

4. Verfahren nach Anspruch 2 oder 3, bei dem der Graben (5) in der Polysiliziumschicht über einem in einem Substrat (1) aus Halbleitermaterial ausgebildeten STI-Bereich (2) so hergestellt wird, dass der Graben die Polysiliziumschicht vollständig in zwei Anteile durchtrennt und diese verbleibenden Anteile der Polysiliziumschicht gegeneinander elektrisch isoliert sind.

Es folgen 2 Blatt Zeichnungen

FIG 1

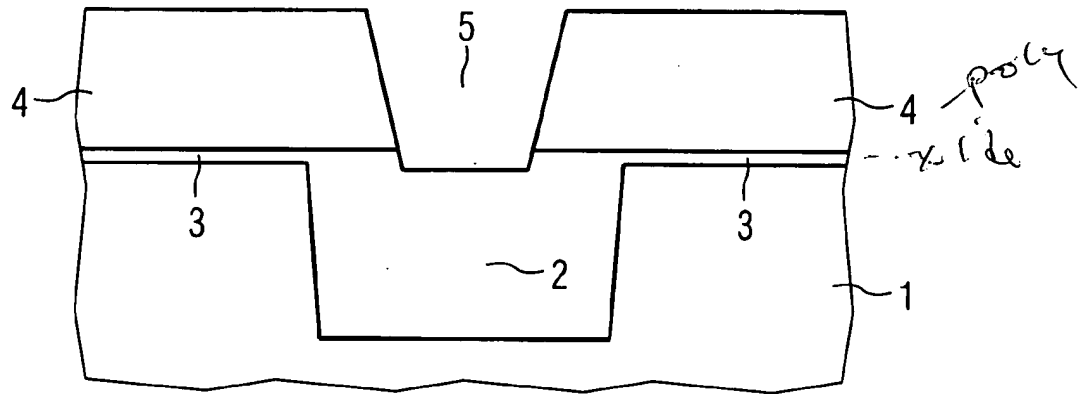


FIG 2

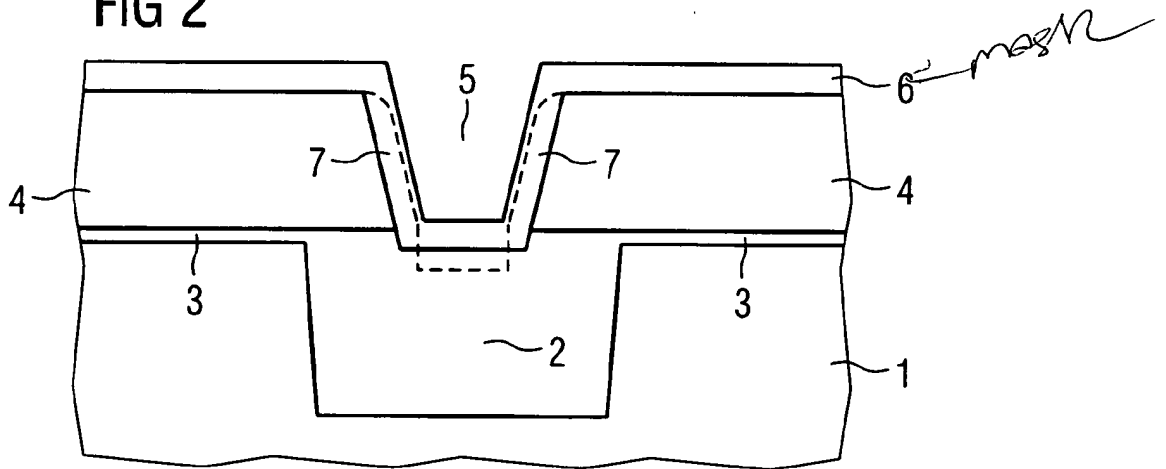


FIG 3

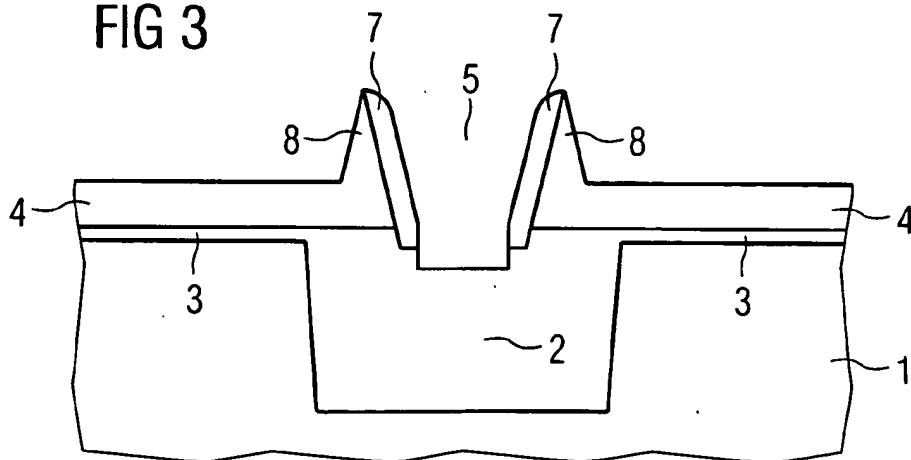


FIG 4

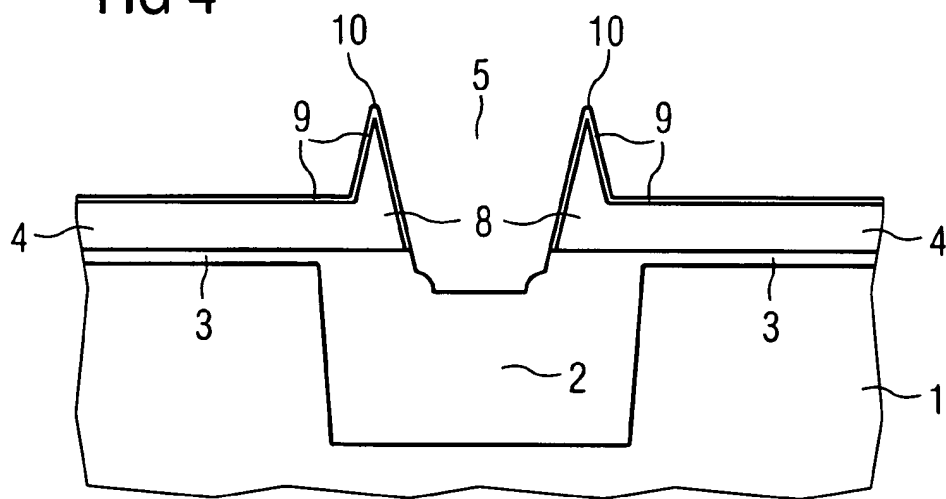


FIG 5

